

JP-A-6-50312 (U)

Through hole 4 is formed in a green sheet 1. The hole 4 is positioned at middle point of the external electrodes that is formed at edges of the chip body after cutting. Coil conductor 3 is formed by pattern printing so as to associate with the position of the through hole 4. Lead end 6 connecting to the external electrode is outwardly bent to be far from the winding part of the coil.

Explanation of Reference numerals

- 1 green sheet
- 2 cover sheet
- 3 coil conductor
- 4 through hole
- 5 chip body
- 6 leading end
- 7 external electrode

(19) 日本国特許庁 (JP)

(12) 公開実用新案公報 (U) (11) 実用新案出願公開番号

実開平6-50312

(43) 公開日 平成6年(1994)7月8日

(51) Int. Cl. 5
H 01 F 17/00

識別記号 庁内整理番号
D 8123-5 E

F I

技術表示箇所

審査請求 未請求 請求項の数2

(全3頁)

(21) 出願番号 実願平4-90559

(71) 出願人 000204284

太陽誘電株式会社

(22) 出願日 平成4年(1992)12月10日

東京都台東区上野6丁目16番20号

(72) 考案者 大野 俊一

東京都台東区上野6丁目16番20号 太陽誘
電株式会社内

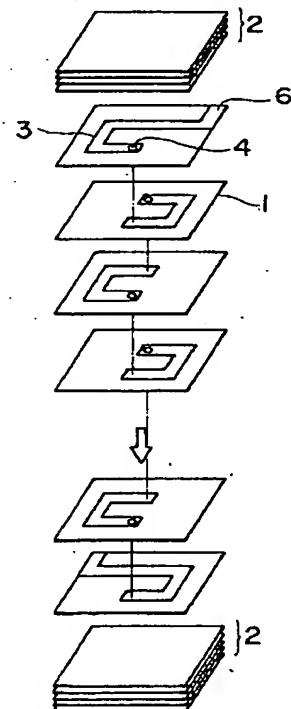
(74) 代理人 弁理士 丸岡 政彦

(54) 【考案の名称】高周波用積層セラミックインダクタ

(57) 【要約】

【目的】 コイル導体と外部電極端子との接続を確実にするとともに、共振周波数をできるだけ高く維持するためにコイル導体と外部電極との間に発生する浮遊容量の低減を計った高周波用積層セラミックインダクタの提供。

【構成】 スルーホール4をグリーンシート1上に設ける際、裁断後のチップ素体の端面に設けられる外部電極間の中点になるように位置決めし、このスルーホール4の位置に応じたコイル導体3のパターンを印刷して形成し、かつ外部電極への引きだし端部6の形状を、コイル巻線部から遠のく方向に屈曲して設けたことを特徴とする。



【実用新案登録請求の範囲】

【請求項 1】 セラミックと内部コイル導体とを積層して得られるチップ素体において、積層されたセラミックによってチップ素体の骨格を形成し、セラミック上に形成されるコイル導体の接続部を介して該セラミック層間のコイル導体を接続してチップ素体内を周回するコイルを形成し、その始端と終端とがそれぞれ別の外部電極端子に接続してなる高周波用積層セラミックインダクタであって、上記コイル導体の接続部の位置がチップ素体の端面に対向して形成される外部電極間の中点であり、および／または、コイル導体引きだし端部が該端面に平行に、コイル巻線部分から遠のく方向に引きだされていることを特徴とする高周波用積層セラミックインダクタ。

【請求項 2】 前記接続部がスルーホール導体である請求項 1 記載の高周波用積層セラミックインダクタ。

【図面の簡単な説明】

【図 1】 本考案の一実施例において用いられた、スルーホールの位置が外部電極間の中点に設けられ、かつコイル導体引きだし端部がコイル巻線部から遠のく方向に屈曲して設けられた積層体の積層分解斜視図である。

【図 2】 スルーホールの位置がコイル導体の外部電極側に設けられている従来の積層セラミックインダクタにおける積層体の積層分解斜視図である。

【図 3】 チップ素体におけるスルーホールの位置を説明するための透過平面図であって、同図 (a) はコイルの外部電極側にある場合、同図 (b) は同図 (a) の場合

よりもコイル長の $1/4$ だけ外部電極より遠ざかった場合および同図 (c) は外部電極間の中点にある場合である。

【図 4】 同図 (a) ないし (c) は、従来のコイル導体引きだし端部の形状を示す積層体の透過平面図である。

【図 5】 スルーホールが外部電極間の中点に設けられ、かつコイル導体引きだし端部がコイル導体幅と同じである積層体の積層分解斜視図である。

【図 6】 スルーホールが外部電極間の中点に設けられ、かつコイル導体引きだし端部をチップ素体の端面に平行に広げた積層体の積層分解斜視図である。

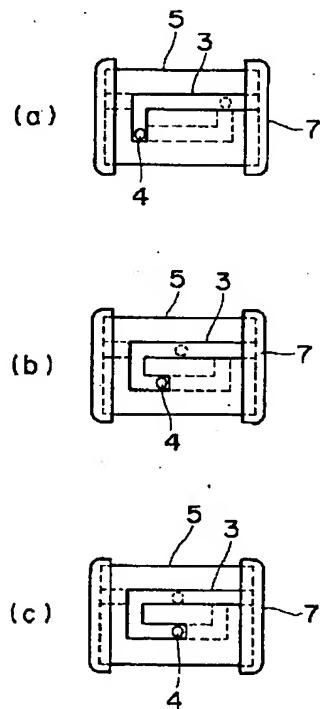
【図 7】 スルーホールが外部電極間の中点に設けられ、かつコイル導体引きだし端部をコイル巻線側に屈曲した積層体の積層分解斜視図である。

【図 8】 同図 (a) ないし (d) はそれぞれ、図 5、図 6、図 7 および図 1 に示した各積層体の透過平面図である。

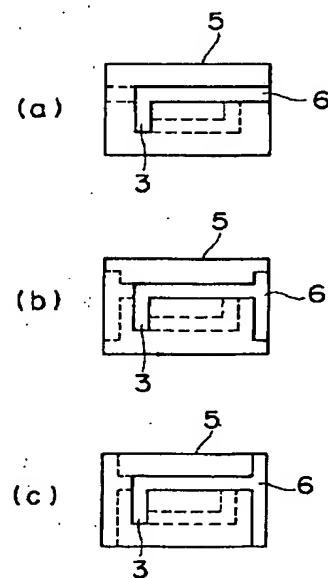
【符号の説明】

1	グリーンシート
2	カバーシート
3	コイル導体
4	スルーホール
5	チップ素体
6	引きだし端部
7	外部電極

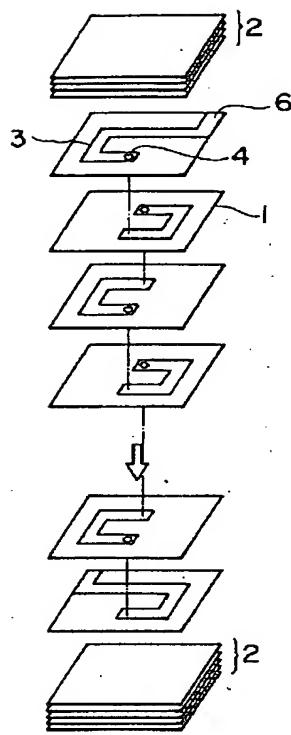
【図 3】



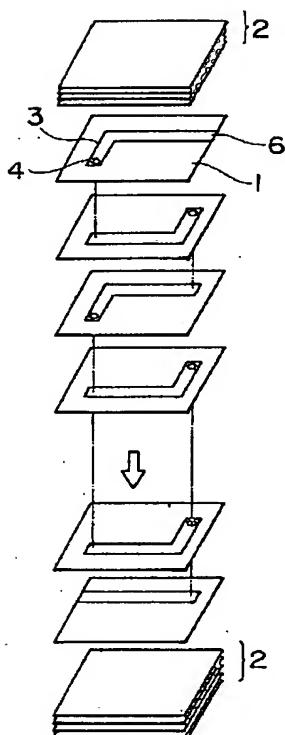
【図 4】



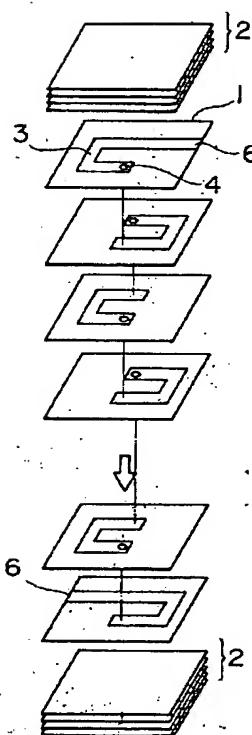
【図1】



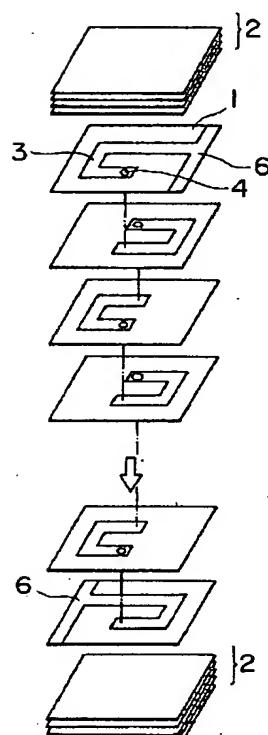
【図2】



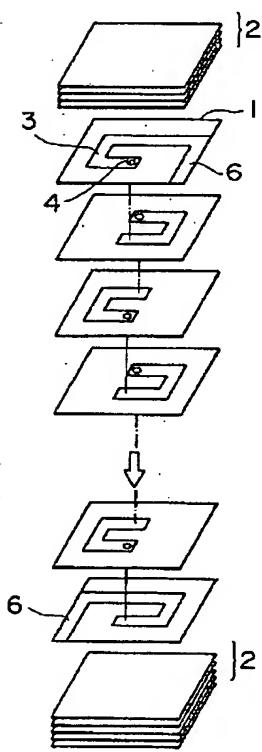
【図5】



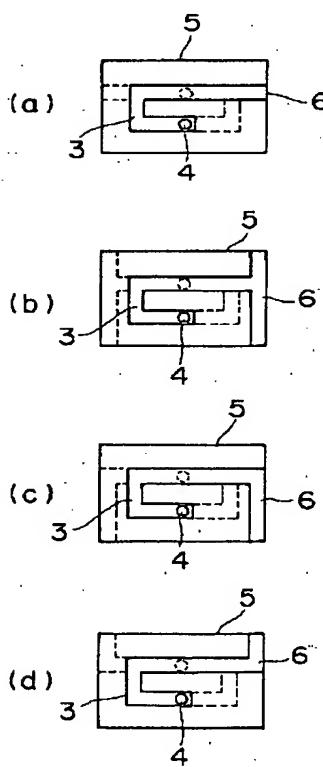
【図6】



【図7】



【図8】



【考案の詳細な説明】**【0001】****【産業上の利用分野】**

本考案は、高周波用積層セラミックインダクタに関する。

【0002】**【従来の技術】**

積層セラミックインダクタは、シート法を用いる場合には積層技術を利用して、コイル導体が形成されたフェライト磁性体のグリーンシートを積層し、該シートの所定位置に形成されたスルーホール導体を介して層間のコイル導体を接続してコイルを形成し、コイル導体の始端と終端とがそれぞれ別の外部電極端子に接続するように一体化したインダクタである。

【0003】

図2は従来の積層セラミックインダクタのシート法による積層工程例を示す積層分解斜視図であって、グリーンシート1上に形成された例えばL字状のコイル導体3のパターンがコイルを形成するようにスルーホール4のスルーホール導体によって接続され、これらシートの下部および上部には複数枚のグリーンシートからなるカバーシート2が重ねられる。

【0004】

なお、図の白抜き矢印は積層パターンの繰り返しを示している。

【0005】

従来のように、せいぜい数10MHz帯域で使用されていた場合、コイル導体が積層される際の接続部分は、上記のようなシート法においてはスルーホール導体であり、スラリービルド法では導体の印刷重ね部分である。

【0006】

これらは外部電極との接続を形成し易くするために、外部電極寄り、つまりチップ素体の端寄りに設けられるのが普通である。

【0007】

また、上記周波数程度の帯域で使用される場合には、図4(a)の透過平面図に示すように、周回するコイル導体の外部電極への引きだし端部の形状はコイル

導体幅と同じ幅で形成されているが、外部電極との接続を良くするため、図4 (b)、または(c) のように、コイル導体端末をチップ素体端面と平行に拡げて接触面積を大きくしたものもある。

【0008】

【考案が解決しようとする課題】

積層セラミックインダクタを高周波領域で使用する場合には、該インダクタの共振周波数 f_0 を出来るだけ高くする必要があり、コイル導体間、スルーホール導体と外部電極間等に発生する浮遊容量が無視できなくなる。すなわち、共振周波数 f_0 はインダクタンス値を L 、浮遊容量を C とすれば以下の式で示され、 f_0 を高くするには、 L 値が製品のアイテムによって決定され不变であるので、浮遊容量 C を低くする必要があるからである。

【0009】

【数1】

$$f_0 = \frac{1}{2\pi\sqrt{L \cdot C}}$$

一般に浮遊容量の大きさは導体の対向面積に比例し、距離の二乗に反比例することが知られており、高周波領域での使用に当っては従来のパターンではスルーホール導体と外部電極との距離が近いことから浮遊容量が大きく影響する。

【0010】

また、図4 (a) のように、引きだし部の導体幅が十分に得られない場合には、外部電極との接続が悪化して不良チップの割合が増加してしまうので、図4 (b) または(c) のようにすると、外部電極とコイル導体との距離を事実上縮めてしまうことになり、浮遊容量が増し、共振周波数 f_0 を低くしてしまうという課題があった。

【0011】

したがって本考案の目的は、コイル導体と外部電極端子との接続を確実にするとともに、共振周波数をできるだけ高く維持するためにコイル導体と外部電極との間に発生する浮遊容量の低減を計った高周波用積層セラミックインダクタを提

供することにある。

【0012】

【課題を解決するための手段】

本考案者は上記目的を達成すべく研究を進めるに当り、浮遊容量はコイル導体と外部電極との対向面積に比例し、両者の距離の2乗に反比例することから、まずコイル導体と外部電極間の浮遊容量を構成する要素中でコイル導体の接続部と外部電極間に発生する浮遊容量が大きな割合を占めることに着目した。

【0013】

コイル導体の接続部は、シート法におけるスルーホール部にしても、スラリービルド法の印刷重ね部分にしても、他のコイル導体部分の2倍以上の層厚を有しており、対向面積も大きいことから、この接続部の層厚を減らせば良いわけであるが、実際にはその部分だけ別に印刷するなど手間がかかり困難である。

【0014】

しかし、接続部全体の位置を変更して、外部電極との距離を増して行けば浮遊容量は減少し、接続部の位置が対向する外部電極の中点において最小になることが判明した。

【0015】

すなわち、図3 (a) ないし (c) に示すように、チップ素体におけるスルーホールの位置による共振周波数 f_r の変化を調べた結果、表1に示す通りであった。下記表1は5ターンチップ試作例に関するものである。

【0016】

【表1】

	インダクタンス L * (nH)	Q *	共振周波数 f ₀ (GHz)	図
試作品A	24.62	41.2	2.82	図4(a) 参照
試作品B	24.44	43.0	2.94	図4(b) 参照
試作品C	24.21	42.6	3.03	図4(c) 参照

* ……1ギガヘルツ (GHz) における値である

【0017】

表1の結果から判るように、試作品Bは、スルーホールの位置が外部電極側にある従来例（試作品A）よりも好ましく、スルーホールの位置が外部電極間の中点に設けられた試作品Cの方がさらに浮遊容量が小さく、より好ましい。

【0018】

従来、コイル導体と外部電極端子との接続を確実にするためにコイル導体端部をチップ素体端面に両側に平行に拡げて接触面積を大きくすることは知られている。

【0019】

しかしながら、そのように接触面積を取得すると、コイル導体と外部電極の間に発生する浮遊容量の増加が避けられなかった点について研究を進め、コイル導体端部の引きだし方向を逆にして接触面積を確保すれば浮遊容量の増加が避けられることを見いだした。

【0020】

そこで本考案は、セラミックと内部コイル導体とを積層して得られるチップ素体において、積層されたセラミックによってチップ素体の骨格を形成し、セラミック上に形成されるコイル導体の接続部を介して該セラミック層間のコイル導体を接続してチップ素体内を周回するコイルを形成し、その始端と終端とがそれ別の外部電極端子に接続してなる高周波用積層セラミックインダクタであつて、上記コイル導体の接続部好ましくはスルーホールの位置がチップ素体の端面に対向して形成される外部電極間の中点であり、かつ、コイル導体引きだし端部が

該端面に平行に、コイル巻線部分から遠のく方向に引きだされていることを特徴とする高周波用積層セラミックインダクタを提供するものである。

【0021】

【作用】

本考案における作用効果は、第1にコイル導体接続部、例えばスルーホール導体と外部電極との距離が長いので、この間の浮遊容量が小さいことと、第2にコイル導体引きだし端部がコイル巻線部分から遠のく方向に引きだされて、外部電極との接触面積が広くコイル導体と外部電極との接続を確実にしたことである。

【0022】

その結果、浮遊容量を小さく、コイル導体と外部電極との接続を確実にした。

【0023】

【実施例】

図1は本実施例において用いられた、スルーホールの位置が外部電極間の中点に設けられ、かつコイル導体引きだし端部がコイル巻線部から遠のく方向に屈曲して設けられた積層体の積層分解斜視図であって、これらを参照して以下説明する。

- (1) SiO_2 、 Al_2O_3 を主成分とし、 BaO 、 CaO 等を副成分とし、さらに B_2O_3 を添加した原材料をボールミルで15時間混合した後、乾燥した。
- (2) 得られた混合物を1500℃以上の高温で溶融させたものを冷却後粉碎し、これをボールミルにてさらに微粉碎した後、乾燥した。
- (3) 得られた材料粉末に対し、バインダー10～15重量%、トルエン20重量%、エタノール20重量%およびブタノール40重量%を添加し、ボールミルにて15時間混合した。
- (4) 得られたスラリーをドクダーブレード法を用いて膜厚30～80μmの長尺なシートとした。
- (5) 次いで適当な大きさに切断したグリーンシート片の必要な位置にスルーホールを設ける際、図1に見られるように、裁断後のチップ素体の端面に設けられる外部電極間の中点になるように位置決めし、このスルーホール4の位置に応じ

たコイル導体3のパターンをA gペーストをスクリーン印刷法を用いて形成した。なお外部電極への引きだし端部6の形状を、コイル巻線部から遠のく方向に屈曲して設けた。

(6) 得られたコイル導体印刷済みのグリーンシート1を所定枚数積層し、さらにコイル導体が印刷されていない複数枚のシートをカバーシート2として印刷済みシートの上下に重ね、0.5 t/cm²の圧力で圧着し、積層体とした。

(7) 得られた積層体をチップ寸法に従って裁断し、個々のチップ素体とし、これを500℃で1時間脱バインダー処理を行った後、900℃で1時間焼成した。

(8) 得られた焼結体の端面を研磨し、これにA gペーストを浸漬法によって塗布して外部電極とし、150℃にて15分間乾燥後、800℃にて10分間焼付けを行って積層セラミックインダクタを得た。

【0024】

得られた5ターンチップ試作品の共振周波数f_o。他の性能を調べた結果を表2に示した。

【0025】

【比較例1】

図5は本比較例に用いられた、スルーホールが外部電極間の中点に設けられ、かつコイル導体引きだし端部がコイル導体幅と同じである積層体の積層分解斜視図であって、これをも参照して以下説明する。

【0026】

図5に見られるように、コイル導体引きだし端部6の形状をコイル導体幅と同じにした以外は、実施例に述べた要領に従って5ターンチップ試作品を作成し、その性能を表2に示した。

【0027】

【比較例2】

図6は本比較例に用いられた、スルーホールが外部電極間の中点に設けられ、かつコイル導体引きだし端部をチップ素体端面に平行に拡げた積層体の積層分解斜視図であって、これをも参照して以下説明する。

【0028】

図6に見られるように、コイル導体引きだし端部6の形状をチップ素体端面に平行に拡げた以外は、実施例に述べた要領に従って5ターンチップ試作品を作成し、その性能を表2に示した。

【0029】

【比較例3】

図7は本比較例に用いられた、スルーホールが外部電極間の中点に設けられ、かつコイル導体引きだし端部をコイル巻線側に屈曲した積層体の積層分解斜視図であって、これをも参照して以下説明する。

【0030】

図7に見られるように、コイル導体引きだし端部6の形状をコイル巻線側に屈曲した以外は、実施例に述べた要領に従って5ターンチップ試作品を作成し、その性能を表2に示した。

【0031】

【表2】

	インダクタンスL*(nH)	Q値*	共振周波数f ₀ (GHz)	製品1000個に対する不良品	備考
比較例1	24.58	42.0	3.10	5/1000	図8(a) 参照
比較例2	24.71	39.0	2.64	0/1000	図8(b) 参照
比較例3	24.41	38.2	2.66	0/1000	図8(c) 参照
実施例	24.36	41.6	3.08	0/1000	図8(d) 参照

* 1ギガヘルツ(GHz)における値である

【0032】

図8(a)、(b)、(c)、および(d)は前記比較例1ないし3および実施例で作成された各積層体の透過平面図であって、同図(a)はコイル導体引きだし端部の形状をコイル導体幅と同じにしたもの、同図(b)はチップ幅一杯に拡げたもの、同図(c)はコイル巻線側に屈曲したもの、および同図(d)はコ

イル巻線側とは逆方向に屈曲したものを示している。

【0033】

上記表2の結果から判るように、コイル導体引きだし端部の形状を図8 (d) に示された形状にすることによって、高い共振周波数 f_r と外部電極への確実な接続とを両立させうることが確認された。

【0034】

【考案の効果】

以上説明したように、本考案によれば、共振周波数 f_r が高く、かつ内部導体コイルと外部電極との接続が確実な高周波用積層セラミックインダクタを提供できる。

【提出日】 平成4年12月18日

【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 0016

【補正方法】 変更

【補正内容】

【0016】

【表1】

	インダクタンス L^* (nH)	Q値*	共振周波数 f_r (GHz)	参考
試作品A	24.62	41.2	2.82	図3(a) 参照
試作品B	24.44	43.0	2.94	図3(b) 参照
試作品C	24.21	42.6	3.03	図3(c) 参照
* 1ギガヘルツ (GHz) における値である				